

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 2月24日

出 願 番 号

Application Number:

平成11年特許願第046607号

出 願 人

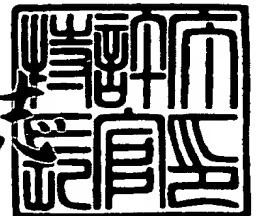
Applicant (s):

トヨタ自動車株式会社

1999年 8月23日

特許庁長官  
Commissioner,  
Patent Office

山 佐 健 一



出証番号 出証特平11-3059026

【書類名】 特許願  
【整理番号】 TY1-4116  
【提出日】 平成11年 2月24日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明の名称】 半導体装置  
【請求項の数】 3  
【発明者】

【住所又は居所】 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社  
内

【氏名】 櫛田 知義

【特許出願人】

【識別番号】 000003207

【氏名又は名称】 トヨタ自動車株式会社

【代表者】 和田 明広

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100081503

【弁理士】

【氏名又は名称】 金山 敏彦

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

特平 11-046607

【電話番号】 0422-21-2340  
【手数料の表示】  
【予納台帳番号】 008268  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の基板と、  
前記基板上に設けられた第 1 導電型のドリフト領域と、  
前記ドリフト領域上であってトレンチゲート間に設けられた第 2 導電型のチャネル領域と、  
前記チャネル領域上に設けられた第 2 導電型のソース領域と、  
を有し、前記チャネル領域の濃度は前記ドリフト領域の濃度以下であり、前記トレンチゲートにゼロバイアス電圧を印加した状態で前記チャネル領域が前記トレンチゲート間全体で空乏化することを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の装置において、  
前記ソース領域は、前記トレンチゲートに隣接せず、前記チャネル領域のほぼ中央に設けられることを特徴とする半導体装置。

【請求項 3】 カソード領域と、  
前記カソード領域上に設けられたチャネル領域と、  
前記チャネル領域上に設けられたアノード領域と、  
を有し、前記チャネル領域の濃度は前記カソード領域の濃度以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置、特にゼロゲート電圧で電流を遮断するトランジスタ及びダイオードに関する。

【0 0 0 2】

【従来技術】

従来より、トレンチゲートを用いた半導体装置が知られている。図 9 には、従来のトレンチゲート型半導体装置の構成が示されている。図において、(a) は平面図（但し、ソース電極は省略）、(b) は (a) の b - b 断面図である。n

+基板 120 上に n ドリフト領域 130 が設けられ、絶縁膜で被覆されたトレンチゲート 160 の間に p ボディ領域 140 が設けられる。p ボディ領域 140 にはトレンチゲート 160 に隣接して n+ソース領域 150 が形成され、この n+ソース領域にソース電極 190 が接続される。ソース電極 190 とトレンチゲート 160 との間は絶縁膜 180 で絶縁されており、n+基板 120 にはドレイン電極 110 が設けられる。このような構成において、トレンチゲート 160 に所定の正バイアスを印加すると、p ボディ領域 140 のトレンチゲート 160 との界面においてチャンネルが形成され、電流が流れる。

## 【0003】

また、図 10 には、従来における他の半導体装置が示されており、いわゆるショットキー型ダイオードである。図において、n+カソード領域 220 上に n-カソード領域 230 が設けられ、この n-カソード領域 230 にトレンチゲート類似のトレンチ領域 240 が形成される。そして、n-カソード領域 230 上にさらにアノード電極 260 が設けられる。アノード電極 260 とトレンチ領域 240 とは接続されており、同電位に設定される。したがって、トレンチ領域 240 は実質的にアノードとして機能する。このような構成において、順方向バイアスを印加すると、トレンチ領域 240 間に形成された n-カソード領域 230 にチャンネルが形成され、電流が流れる。

## 【0004】

## 【発明が解決しようとする課題】

しかしながら、上記従来技術では、チャンネル領域の濃度が比較的高く（例えば、図 9 の半導体装置においては、一般にイオン注入及び拡散により p ボディ領域を形成するためドリフト領域よりもその濃度が高くなる）、正バイアス印加時にもトレンチ領域との界面でのみ電流が流れるため、ON 抵抗が大きくなる問題があった。

## 【0005】

本発明は、上記従来技術の有する課題に鑑みなされたものであり、その目的は、従来より低 ON 抵抗の半導体装置を提供することにある。

## 【0006】

## 【課題を解決するための手段】

上記目的を達成するために、第1の発明は、第1導電型の基板と、前記基板上に設けられた第1導電型のドリフト領域と、前記ドリフト領域上であってトレンチゲート間に設けられた第2導電型のチャネル領域と、前記チャネル領域上に設けられた第2導電型のソース領域とを有し、前記チャネル領域の濃度は前記ドリフト領域の濃度以下であり、前記トレンチゲートにゼロバイアス電圧を印加した状態で前記チャネル領域が前記トレンチゲート間全体で空乏化することを特徴とする。チャネル領域の濃度をドリフト領域以下に設定することで、従来より濃度の低いチャネル領域が得られ、ゼロバイアス状態で容易にチャネル領域全体を空乏化することができる。なお、チャネル領域全体を空乏化するために必要なトレンチゲート間隔は、チャネル領域の濃度に応じて決定（濃度と間隔は負の相関にある）され、従来より大きなゲート間隔で済むことになる。そして、ON動作時には、従来のようにトレンチゲートとの界面のみにチャネルが形成されるのではなく、チャネル領域全体にチャネルが形成されることになり、キャリアの移動度が大きく、ON抵抗が低減される。

## 【0007】

また、第2の発明は、第1の発明において、前記ソース領域は、前記トレンチゲートに隣接せず、前記チャネル領域のほぼ中央に設けられることを特徴とする。第1の発明によれば、チャネルはチャネル領域全体に形成されるため、電子を供給するためのソース領域を配置する自由度が生じ、従来のようにトレンチゲートに隣接する位置ではなく、チャネル領域のほぼ中央にも配置することが可能となる。これにより、チャネル領域のトレンチゲートに隣接する領域に他の機能領域、例えばチャネル領域から正孔を引く抜くための領域を形成することも可能となる。

## 【0008】

また、第3の発明は、カソード領域と、前記カソード領域上に設けられたチャネル領域と、前記チャネル領域上に設けられたアノード領域とを有し、前記チャネル領域の濃度は前記カソード領域の濃度以下であることを特徴とする。チャネル領域を低濃度とすることで、ゼロバイアス状態で容易にチャネル領域を空乏化

でき、高耐圧となる。

【0009】

【発明の実施の形態】

以下、図面に基づき本発明の実施形態について説明する。

【0010】

#### <第1実施形態>

図1には、本実施形態の構成図が示されている。本実施形態は、トレンチゲート型トランジスタである。図において(a)は平面図(但し、ソース電極は省略)、(b)は(a)のb-b断面図である。図において、n+基板12上にnドリフト領域14が設けられ、nドリフト領域14上であって絶縁されたトレンチゲート18間にp-チャンネル領域16が設けられる。p-チャンネル領域16上にはn+ソース領域17が形成され、さらにこのn+ソース領域17にソース電極22が接続される。ソース電極22は図に示すように断面形状がT字型であり、トレンチゲート18との間には絶縁膜20により絶縁されている。

【0011】

ここで、p-チャンネル領域16は従来のようにイオン注入ではなく、例えばエピタキシャル成長により形成され、その濃度はnドリフト領域14の濃度以下に設定される。このようにp-チャンネル領域16の濃度を低くすることで、トレンチゲート18の間隔が比較的大きくてもチャンネル全体を空乏化し易くなり、p-チャンネル領域16の濃度に応じたゲート間隔とすることで、トレンチゲート18にゼロバイアスを印加した状態でp-チャンネル領域16の全体を空乏化することができる(もちろん、p-チャンネル領域16の濃度は従来のチャンネル領域の濃度よりも小さいため、本実施形態のゲート間隔は従来のゲート間隔よりも大きく設定でき、製造も容易となる)。

【0012】

そして、トレンチゲート18に正のバイアス電圧を印加した場合には、従来のようにトレンチゲートとの界面のみにチャンネルが形成されるのではなく、p-チャンネル領域16の全体、すなわちトレンチゲート18の間の全体に形成されることになるため、界面準位の影響が少なく、チャンネルの抵抗を従来以上に低く抑え

ることができる。

【0013】

なお、本実施形態において、p-チャネル領域16からソース電極22に正孔を引き抜けるようにp-チャネル領域16とソース電極22との間にp+ソース領域19（図1（a）参照）を形成することも好適である。このp+ソース領域19は、図1（a）に示されるように、n+ソース領域17と交互に形成される。

【0014】

図2には、図1に示された半導体装置の製造方法が示されている。まず、n+シリコン基板12上に順次nドリフト領域14及びp-チャネル領域16をエピタキシャル成長させる。その後、n+ソース領域17を1 $\mu$ m程度（及び必要であればp+ソース領域19）をイオン注入と拡散により形成する（a）。

【0015】

次に、表面を熱酸化して酸化膜24を50nm程度形成する。その後、CVD法を用いて窒化膜26を200nm程度、酸化膜28を200nm程度形成する（b）。

【0016】

次に、フォトリソグラフィ工程を用いてレジストマスクを形成し、このレジストマスクを用いて酸化膜28、窒化膜26、酸化膜24を順次ドライエッチングする。レジストを除去した後、酸化膜24、窒化膜26、酸化膜28をマスクとしてシリコンを6 $\mu$ m程度ドライエッチングし、トレンチ構造を形成する（c）。

【0017】

次に、トレンチの側壁を熱酸化にて50nm程度酸化し、フッ酸で除去する。さらにトレンチ側壁をケミカルドライエッチングにて50nm程度エッチングする。その後、熱酸化にてゲート酸化膜を100nm程度形成する。さらに、多結晶シリコンでトレンチを埋め、トレンチゲート18を形成する。ドライエッチングにて窒化膜26のところまで全面エッチバックしてゲート電極とする（d）。



## 【0018】

次に、表面の酸化膜 28 をドライエッチングにて除去し、熱酸化にてゲート電極の表面を 400 nm 程度酸化して酸化膜 20 を形成する (e)。このとき、窒化膜 26 の下は酸化されず、ゲート電極の表面のみを酸化することができる。

## 【0019】

次に、ドライエッチングにて窒化膜 26 及び酸化膜 24 を除去し (f)、スパッタリング法を用いてソース電極 22 (例えば Al) を形成し、フォトリソグラフィやエッチングを用いて所望の形状に加工する (g)。最後に、スパッタリング法を用いてドレイン電極 10 (例えば Ti/Ni/Au) を形成する (h)。

## 【0020】

以上、本実施形態について説明したが、基板は n 型ではなく p 型を用いることも可能である。この場合、ドリフト領域やチャネル領域の導電型も基板に応じて変更することが必要である。

## 【0021】

また、基板をドリフト領域とは異なる導電型とした IGBT (絶縁ゲートバイポーラトランジスタ) を構成することもできる。さらに図 3 に示すように、基板とドリフト領域との間にバッファ領域 29 を設けることも可能である。この時、バッファ領域は基板とは異なる導電型である。

## 【0022】

## &lt;第 2 実施形態&gt;

上述した第 1 実施形態では、p-チャネル領域 16 の全体をチャネル化できるため、従来のようにソース電極から電子を供給するための n+ソース領域 17 を従来のようにトレンチゲート 18 に隣接するように配置する必要がなくなる。そこで、本実施形態では、ソース領域の位置を従来と異なる位置、すなわちトレンチゲート 18 に隣接しない位置に設ける場合について説明する。

## 【0023】

図 4 には、本実施形態における半導体装置の構成が示されている。(a) は一部平面図 (但し、ソース電極は省略)、(b) は (a) の b-b 断面図である。図 1 と同様に、ドレイン電極 10、n+基板 12、n ドリフト領域 14、p-チ

ャネル領域 16、トレンチゲート 18 及びソース電極 22 が形成されているが、図 1 と異なる点は、 $n+$ ソース領域 23 が  $p$ -チャネル領域 16 のほぼ中央に形成され、トレンチゲート 18 に隣接していないことである。従来のトレンチゲート型半導体装置においては、チャネル領域内のトレンチゲートとの界面にチャネルが形成されるため、ソース領域はこのチャネル領域に電子を供給すべくトレンチゲートに隣接して設ける必要があったが、本実施形態ではチャネルは  $p$ -チャネル領域の全体にわたって形成されるため、ソース領域をトレンチゲート 18 に隣接して設ける必要がなくなり、このようにチャネル領域の中央に配置することが可能となる。

#### 【0024】

そして、このようにソース領域の位置をチャネル領域の中央に配置することで、チャネル領域からソース電極 22 に正孔を引き抜くための  $p+$ ソース領域 19 をトレンチゲート 18 に隣接した位置に配置する（中央部に  $p$ -チャネル領域 16 が形成され、その周囲に  $p+$ ソース領域 19 が形成される）ことが可能となり、迅速に正孔を引き抜いて ON 動作から OFF 動作への高速スイッチングが可能となる。さらに  $p+$ ソース領域の面積を  $n+$ ソース領域の面積より大きくすることも容易である。

#### 【0025】

なお、図 4 において、 $p$ -チャネル領域 16 や  $n+$ ソース領域 17 は平面形状が円形ではなく、矩形でもよい。

#### 【0026】

### <第 3 実施形態>

図 5 には、本実施形態の半導体装置の構成が示されている。本実施形態は、ショットキー型ダイオードである。図において、(a) は平面図（但し、アノード電極は省略）、(b) は (a) の  $b-b$  断面図である。 $n+$ カソード領域 32 上に  $n$ -カソード領域 34 が設けられ、さらに  $n$ -チャネル領域 36 が設けられる。 $n$ -チャネル領域 36 は酸化膜 40 で絶縁されたトレンチ構造 38 の間に設けられ、 $n$ -チャネル領域 36 上にはアノード電極 42 がショットキー接合される。アノード電極 42 とトレンチ構造 38 はオーミックコンタクトにより接続され

ており、同電位である。また、 $n$ +カソード領域 32 にはカソード電極 30 が接続される。

【0027】

このような構成において、 $n$ -チャネル領域 36 の濃度は  $n$ -カソード領域 34 の濃度以下であり、図 10 に示された従来の  $n$ -カソード領域 230 よりも低い濃度である。したがって、トレンチ構造 38 の間隔が比較的大きくても従来に比べてチャネル全体を空乏化し易くなり、 $n$ -チャネル領域 36 の濃度に応じたゲート間隔とすることで、トレンチ構造 38 及びアノード電極 42 にゼロバイアスを印加した状態（短絡した状態）で  $n$ -チャネル領域 36 の全体を空乏化することができ（もちろん、 $n$ -チャネル領域の濃度は従来のチャネル領域の濃度よりも小さいため、本実施形態のトレンチ構造 38 の間隔は従来の間隔よりも大きく設定でき、製造が容易化される）、高耐圧のショットキー型ダイオードを得ることができる。

【0028】

なお、 $n$ -チャネル領域 36 の代わりに  $p$ -チャネル領域を用いることも可能であり、この場合にはトレンチ構造 38 の間隔をより大きく設定することが可能である。

【0029】

図 6 には、本実施形態の半導体装置の製造方法が示されている。まず、 $n$ +カソード領域 32 上に  $n$ -カソード領域 34 及び  $n$ -チャネル領域 36 をエピタキシャル成長させる（a）。

【0030】

次に、表面を熱酸化し、酸化膜 44 を 500 nm 程度形成する（b）。

【0031】

次に、フォトリソグラフィ工程を用いてレジストマスクを作成し、このマスクを用いて酸化膜 44 をドライエッチングしトレンチを形成する（c）。

【0032】

次に、トレンチの側壁を熱酸化にて 50 nm 程度酸化し、フッ酸にて除去する。さらに、トレンチ側壁をケミカルドライエッチングにて 50 nm 程度エッチン

グし、熱酸化にて酸化膜 40 を 100 nm 程度形成し、CVD 法によりトレンチを多結晶シリコンで埋めてトレンチ構造 38 を形成する (d)。

#### 【0033】

次に、ドライエッチングにより酸化膜 40 の表面を除去し (e)、スパッタリング法を用いてアノード電極 42 (例えば A1) を形成する。フォトリソグラフィとエッチングにより所望の形状に加工し、420℃30分の熱処理にて n-チャネル領域 36 とショットキー接合を形成するとともに、トレンチ構造 38 との間にオーミックコンタクトを形成する (f)。

#### 【0034】

最後に、スパッタリング法を用いてカソード電極 30 (例えば Ti/Ni/Au) を形成する (g)。

#### 【0035】

なお、本実施形態において、n-チャネル (あるいは p-チャネル) 領域 36 は平面形状が矩形ではなく、例えば図 7 に示すように円形でもよい。

#### 【0036】

また、本実施形態では、ショットキー型ダイオードについて説明したが、接合ダイオードでも同様に適用することができる。

#### 【0037】

図 8 には、接合ダイオードに適用した場合の構成図である。図において、(a) は平面図 (但し、アノード電極は省略)、(b) は (a) の b-b 断面図である。カソード電極 30 上に、順次 n+カソード領域 32、n-カソード領域 34、p-アノード領域 37、p+アノード領域 46 が形成される。p-アノード領域 37 及び p+アノード領域 46 はトレンチ構造 38 の間に形成される。p+アノード領域 46 上とトレンチ構造 38 上にはアノード電極 42 が形成され、短絡されている。低濃度の p-アノード領域 37 を設けることで、比較的広いトレンチ構造 38 間隔で逆バイアス時に p-アノード領域 37 の全体をピンチオフすることができ、高耐圧を得ることができる。

#### 【0038】

なお、図 8 において、p-アノード領域 37 の代わりに、n-カソード領域 3

4 以下の濃度を有する n-アノード領域を設けることも可能である。

【0039】

【発明の効果】

以上説明したように、本発明によれば、低ON抵抗あるいは高耐圧の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の構成図である。

【図2】 図1の半導体装置の製造方法を示す説明図である。

【図3】 第1実施形態の変形例を示す断面図である。

【図4】 本発明の第2実施形態の構成図である。

【図5】 本発明の第3実施形態の構成図である。

【図6】 図5の半導体装置の製造方法を示す説明図である。

【図7】 第3実施形態の変形例を示す平面図である。

【図8】 第3実施形態の他の変形例を示す構成図である。

【図9】 従来のトレンチゲート型トランジスタの構成図である。

【図10】 従来のショットキー型ダイオードの構成図である。

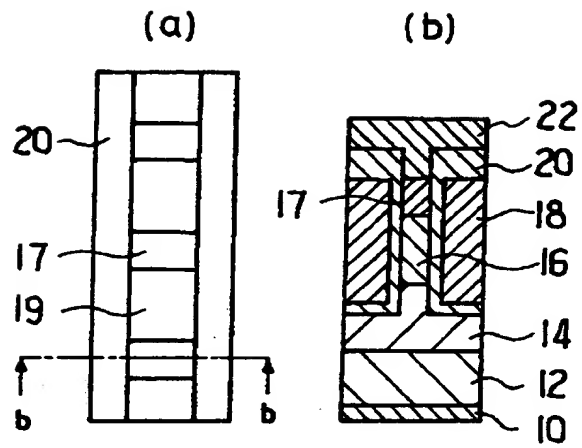
【符号の説明】

10 ドレイン電極、12 n+基板、14 nドリフト領域、16 p-チャンネル領域、17 n+ソース領域、18 トレンチゲート、19 p+ソース領域、20 酸化膜、22 ソース電極、30 カソード電極、32 n+カソード領域、34 n-カソード領域、36 n-チャンネル領域、38 トレンチ構造、40 酸化膜、42 アノード電極。

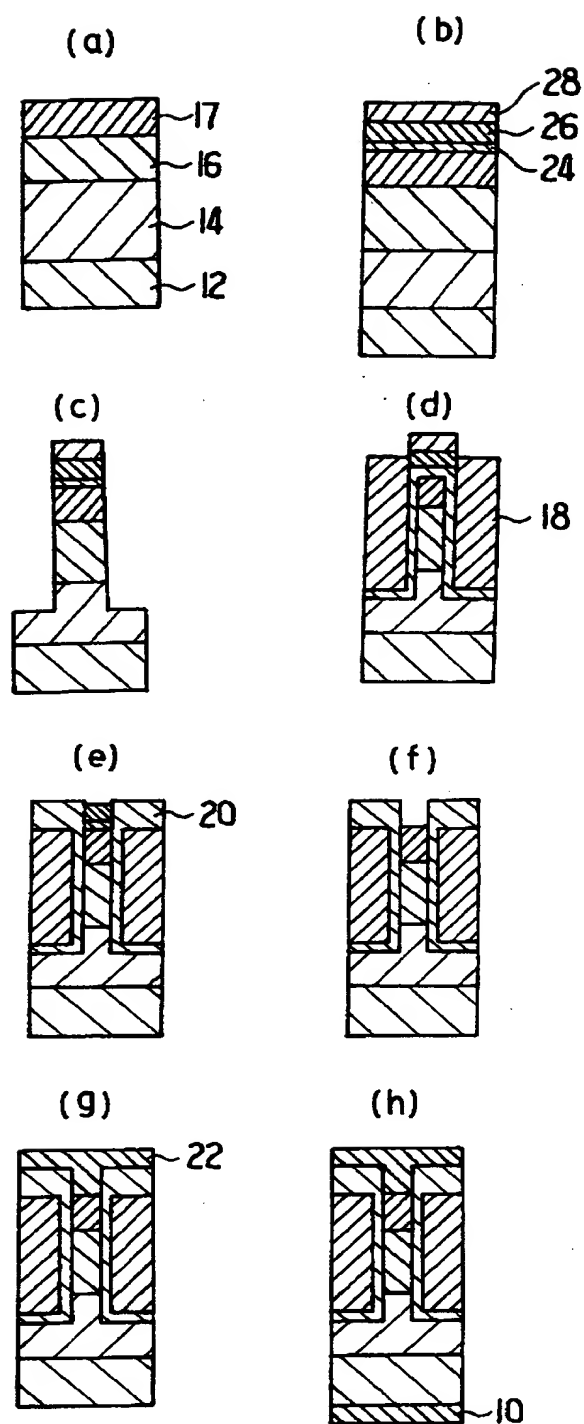
【書類名】

図面

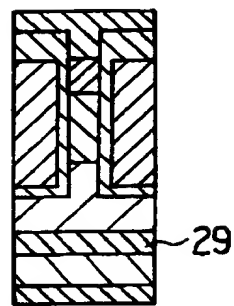
【図 1】



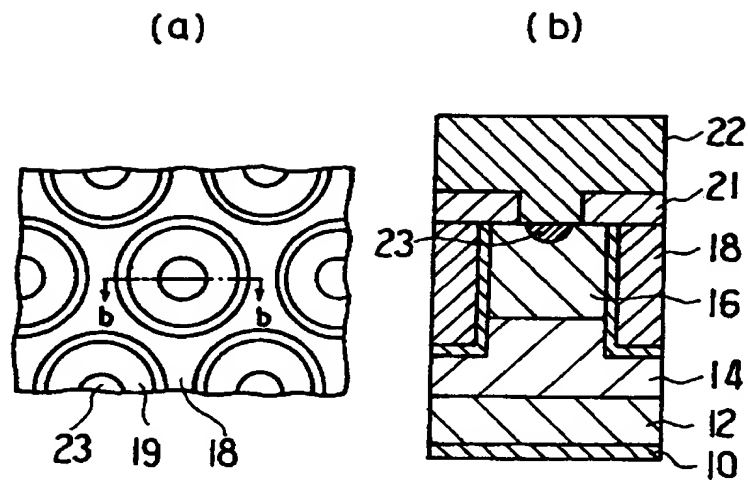
【図 2】



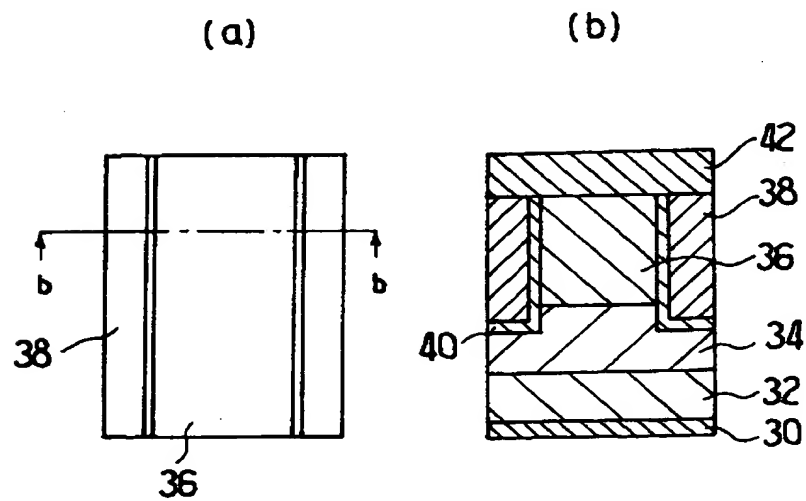
【図 3】



【図 4】

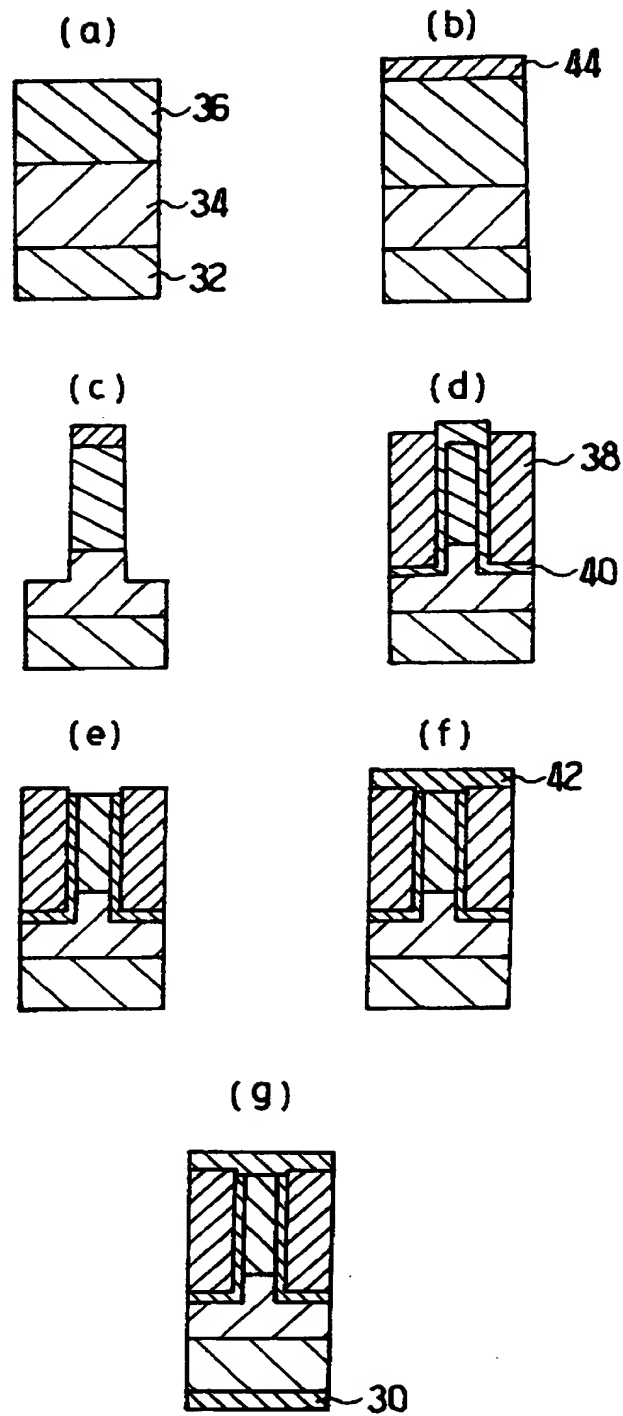


【図 5】

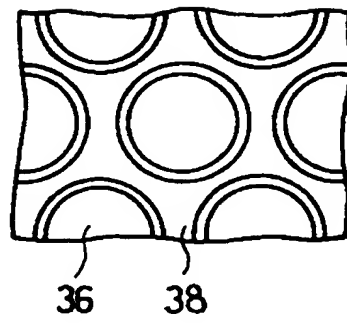




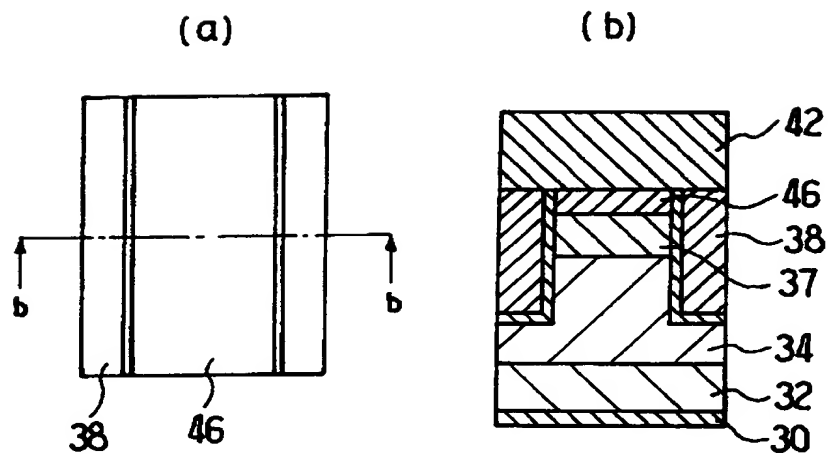
【图 6】



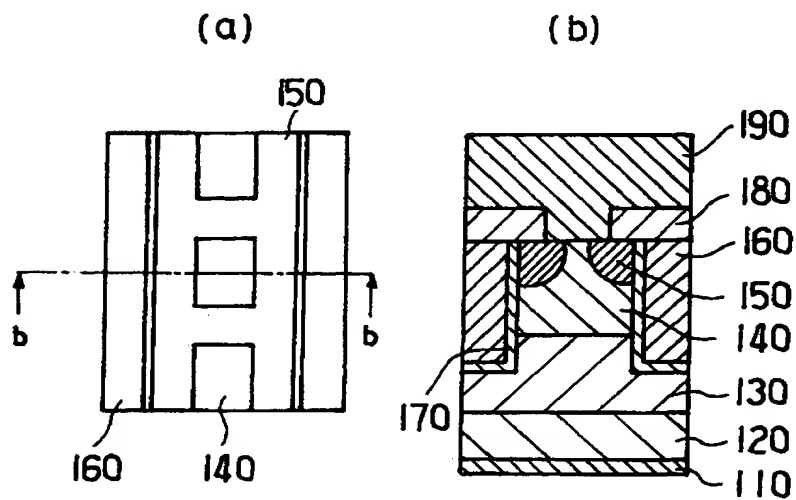
【図 7】



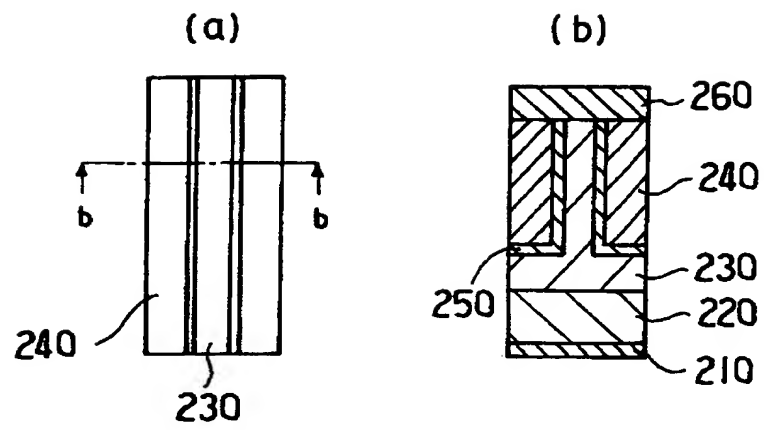
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 トレンチゲート型トランジスタにおいて、低ON抵抗を得る。

【解決手段】 ドレイン電極10上に、順次n+基板12、nドリフト領域14、p-チャネル領域16、n+ソース領域17、トレンチゲート18、及びソース電極22を形成する。p-チャネル領域16の濃度をnドリフト領域14の濃度以下と小さくし、比較的大きなゲート間隔でゼロゲートバイアス状態でチャネル領域全体を空乏化する。正バイアス印加時には、p-チャネル領域16の全体がチャネルとなり、キャリアの移動度が大きくON時の抵抗が減少する。

【選択図】 図1

特平 11-046607

出 願 人 履 歴 情 報

識別番号 [000003207]

1. 変更年月日	1990年 8月27日
[変更理由]	新規登録
住 所	愛知県豊田市トヨタ町1番地
氏 名	トヨタ自動車株式会社